

61282-021
Asako KURABE
January 30, 2002

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as with this Office

出 願 年 月 日

Date of Application:

2001年 1月30日

出 願 番 号

Application Number:

特願2001-021952

出 願 人

Applicant(s):

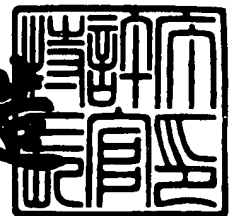
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



Docket No.: 61282-021

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Asako KURABE, et al. :
Serial No.: : Group Art Unit:
Filed: January 30, 2002 : Examiner:
For: ORTHOGONAL CODE GENERATING CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

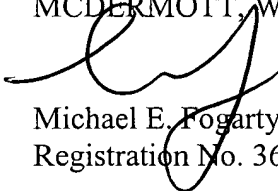
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. P2001-21952, filed January 30, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mlw
Date: January 29, 2002
Facsimile: (202) 756-8087

【書類名】 特許願

【整理番号】 5037920085

【提出日】 平成13年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/332

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 倉辺 麻子

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 松下 裕史

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 直交符号発生回路

【特許請求の範囲】

【請求項 1】 $2^k \times 2^k$ (k は 0 以上の整数) のアダマール行列の符号列として定義される直交符号を発生させる直交符号発生回路であって、

符号発生開始信号が入力されると、前記アダマール行列の符号列位置信号を所定の初期位相から最大値まで昇順にカウンタ出力するカウンタ回路部と、

前記アダマール行列の符号番号を指定する符号指定信号に基づいたデコード出力を出力するコントロール回路部と、

前記カウンタ回路部からの前記カウンタ出力と前記コントロール回路部からの前記デコード出力とを対応する出力ビット同士で論理積し、前記論理積した出力ビットを排他的論理和し、前記直交符号のシリアルデータを出力する組み合わせ回路部とを備えたことを特徴とする直交符号発生回路。

【請求項 2】 前記コントロール回路部は、前記符号指定信号の上位ビットから下位ビットを対称的に置き換えてから前記デコード出力を出力し、

前記組み合わせ回路部は、前記デコード出力により階層化直交符号の符号列として定義される直交符号を出力することを特徴とする請求項 1 記載の直交符号発生回路。

【請求項 3】 前記コントロール回路部は、最大符号長以下の符号長を指定する符号長指定信号が入力されることにより、前記符号指定信号を前記符号長指定信号で指定された符号長とした前記デコード出力を出力し、

前記組み合わせ回路部は、指定された符号長の前記符号指定信号に基づいた前記直交符号を出力することを特徴とする請求項 1、又は、請求項 2 記載の直交符号発生回路。

【請求項 4】 前記カウンタ回路部は、符号初期位相設定値が入力されることにより、前記符号初期位相設定値に対応した前記初期位相から前記カウンタ出力を開始することを特徴とする請求項 1～3 のいずれか 1 項記載の直交符号発生回路。

【請求項 5】 前記コントロール部は、符号発生切換信号が入力されること

により、前記アダマール行列、或いは、前記階層化直交符号に関する前記直交符号を切り換えて出力することを特徴とする請求項 2 項記載の直交符号発生回路。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 項記載の直交符号発生回路を備えたことを特徴とする復調処理装置。

【請求項 7】 請求項 1 ～ 5 のいずれか 1 項記載の直交符号発生回路を備えたことを特徴とする同期処理装置。

【請求項 8】 請求項 1 ～ 5 のいずれか 1 項記載の直交符号発生回路を備えたことを特徴とする拡散処理装置。

【請求項 9】 請求項 6 記載の復調処理部、又は、請求項 7 記載の同期処理部を備えたことを特徴とするスペクトラム拡散信号の受信装置。

【請求項 1 0】 請求項 8 記載の拡散処理部を備えたことを特徴とするスペクトラム拡散信号の送信装置。

【請求項 1 1】 請求項 9 記載の受信装置、又は、請求項 1 0 記載の送信装置を備えたことを特徴とする基地局装置。

【請求項 1 2】 請求項 9 記載の受信装置、又は、請求項 1 0 記載の送信装置を備えたことを特徴とする移動端末装置。

【請求項 1 3】 請求項 1 1 記載の基地局装置、又は、請求項 1 2 記載の移動端末装置を備えたことを特徴とする移動体通信システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、スペクトラム拡散方式などの通信システムの信号伝送において、伝送される信号列の判定に用いられる直交符号発生技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、直交符号は、スペクトラム拡散通信方式などの通信システムの信号伝送において、信号列の判定の為の相関検出に利用されている。

以下に従来の直交符号発生回路について、図 1 2 を参照して説明する。図 1 2 は、従来の直交符号発生回路を示す構成図である。

従来の直交符号発生回路 1 0 0 は、符号長、符号番号に対応する直交符号が記憶されている ROM 部 1 0 2 と、符号長、符号番号に対応したアドレスを発生するアドレス発生部 1 0 4 と、ROM 部 1 0 2 の直交符号をパラレルデータで読み出し、シリアルデータに変換するパラレル／シリアル変換部 1 0 6 と、アドレス発生部 1 0 4 とパラレル／シリアル変換部 1 0 6 とに対して、アドレス発生タイミングや変換タイミングを出力するタイミング発生部 1 0 8 とから構成されている。

【0 0 0 3】

以上のように構成された直交符号発生回路 1 0 0 における直交符号発生動作について説明する。

符号長と符号番号に対応した ROM 部 1 0 2 のアドレスが、タイミング発生部 1 0 8 に基づきアドレス発生部 1 0 4 から指定され、直交符号のデータが出力される。このデータは、パラレルデータで読み出されるので、パラレル／シリアル変換部 1 0 6 に一旦記憶させてからシリアルデータに変換して、直交符号を発生させる。

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら、従来の直交符号発生回路の構成では、直交符号の符号長、符号番号が大きくなると、直交符号発生回路の回路規模が増大してしまう。例えば、直交行列の符号長が $2^{10} = 1024$ ビットであると、符号番号も 1024 あり、全ての直交符号を記憶する為に、 1024×1024 ビットものメモリ容量が必要になってしまう。

また、符号長の異なる直交符号を発生させる場合においては、回路規模が増大し、切換の為等の回路構成が複雑になる。例えば、直交行列の符号長 2^9 と符号長 2^{10} とを発生させる場合は、それぞれの符号長の直交符号を記憶するメモリ容量 (512×512 ビット + 1024×1024 ビット) が必要となり、更にこれらを切換る為の回路構成も複雑になる。

【0 0 0 5】

本発明はこのような状況に鑑みてなされたもので、直交符号を発生させる為の

回路規模を削減した直交符号発生回路を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成する為の本発明の直交符号発生回路は、 $2^k \times 2^k$ (k は 0 以上の整数) のアダマール行列の符号列として定義される直交符号を発生させる直交符号発生回路であって、

符号発生開始信号が入力されると、前記アダマール行列の符号列位置信号を所定の初期位相から最大値まで昇順にカウンタ出力するカウンタ回路部と、

前記アダマール行列の符号番号を指定する符号指定信号に基づいたデコード出力を出力するコントロール回路部と、

前記カウンタ回路部からの前記カウンタ出力と前記コントロール回路部からの前記デコード出力とを対応する出力ビット同士で論理積し、前記論理積した出力ビットを排他的論理和し、前記直交符号のシリアルデータを出力する組み合わせ回路部とを備えたことを特徴とする。

【0007】

この直交符号発生回路によれば、カウンタ回路部の平行出力とコントロール回路部のデコード出力とを組み合わせ回路部によって、直交符号のシリアルデータを出力している。よって、直交符号を記憶する為の従来の ROM 部が省略できるので、直交符号発生回路の回路規模を小規模化することができる。

また、直交符号の符号番号が大きくなっても、それに伴ってデコード出力を大きくすればよく、従来のように ROM 部を増やす必要が無いので、回路規模の増大が防止できる。

【0008】

本発明の直交符号発生回路は、前記コントロール回路部は、前記符号指定信号の上位ビットから下位ビットを対称的に置き換えてから前記デコード出力を出力し、

前記組み合わせ回路部は、前記デコード出力により階層化直交符号の符号列として定義される直交符号を出力することを特徴とする。

【0009】

この直交符号発生回路によれば、アダマール行列の符号列として定義される直交符号を発生させる直交符号発生回路を用いて、符号指定信号の上位ビットから下位ビットを対称的に置き換えることによって、階層化直交符号の符号列として定義される直交符号を発生させることが可能となる。

【 0 0 1 0 】

本発明の直交符号発生回路では、前記コントロール回路部は、最大符号長以下の符号長を指定する符号長指定信号が入力されることにより、前記符号指定信号を前記符号長指定信号で指定された符号長とした前記デコード出力を出力し、

前記組み合わせ回路部は、指定された符号長の前記符号指定信号に基づいた前記直交符号を出力することを特徴とする。

【 0 0 1 1 】

この直交符号発生回路によれば、符号長の異なる直交符号を発生させる場合においても、回路規模が増大したり、切換の為等の回路構成が複雑になること無く、異なる符号長の直交符号を発生させることが可能となる。

【 0 0 1 2 】

本発明の直交符号発生回路では、前記カウンタ回路部は、符号初期位相設定値が入力されることにより、前記符号初期位相設定値に対応した前記初期位相から前記カウンタ出力を開始することを特徴とする。

【 0 0 1 3 】

この直交符号発生回路によれば、カウンタ回路部の初期位相を設定することが可能となる。

【 0 0 1 4 】

本発明の直交符号発生回路は、前記コントロール部は、符号発生切換信号が入力されることにより、前記アダマール行列、或いは、前記階層化直交符号に関する前記直交符号を切り換えて出力することを特徴とする。

【 0 0 1 5 】

この直交符号発生回路によれば、符号発生切換信号によって、アダマール行列の符号列として定義される直交符号と、階層化直交符号の符号列として定義される直交符号とを切り換えて出力することができる。

【 0 0 1 6 】

【発明の実施の形態】

直交符号は、情報の暗号化やスペクトル拡散の拡散符号として用いられ、この直交符号として、アダマール行列の行ベクトルで定義される符号列が知られている。

本実施形態は、このアダマール行列の符号列として定義される直交符号を発生させる直交符号発生回路に関するものであるが、先ず、アダマール行列について、図 1 を参照して説明する。

図 1 は、アダマール行列 H_k を説明する為の説明図であり、図 1 (a) は、 $k = 0$ のアダマール行列を示す式、図 1 (b) は、 $k = 1$ のアダマール行列を示す式、図 1 (c) は、 $k = 2$ のアダマール行列を示す式、図 1 (d) は、 $k = n$ のアダマール行列を示す一般式である。尚、 k 、 n は 0 以上の整数である。

【 0 0 1 7 】

$k = 0$ の時のアダマール行列 H_0 を、「0」とすると、 $k = 1$ の時のアダマール行列 H_1 は、図 1 (b) で示すような、2 行 2 列の行列になり、更に、 $k = 2$ の時のアダマール行列 H_2 は、図 1 (c) で示すような、4 行 4 列の行列になる。そして、 $k = n$ の場合のアダマール行列 H_n を一般式で表すと、図 1 (d) に示す行列になる。

また、アダマール行列の行ベクトルで示される符号列が直交符号である。

【 0 0 1 8 】

次に、本発明の骨子である直交符号の算出方法について、図 2 に示す 8 行 8 列のアダマール行列 H_3 を用いて説明する。

図 2 は、アダマール行列 H_3 を用いた説明図である。

同図において、アダマール行列 H_3 には、説明のために行番号と列番号とを付している。行番号とは、行（行ベクトル＝直交符号）を示す番号（符号番号とする）で、ここでは、2 進数で示している。行は 8 行あるので、上から「0 0 0、0 0 1、0 1 0、...、1 1 0、1 1 1」としている。また、列番号は、列の位置を示す番号（符号列位置信号）である。列も 8 列あるので、左から「0 0 0、0 0 1、0 1 0、...、1 1 0、1 1 1」としている。

【0019】

いま、行番号「001」の直交符号に注目する。この行番号「001」の直交符号は、「01010101」である。

そして、この行番号「001」の直交符号の列番号「000」に対応する値は、「0」（直交符号の左端の値）であり、列番号「001」に対応する値は、「1」（直交符号の左から2番目の値）であり、列番号「010」に対応する値は、「0」（直交符号の左から3番目の値）であり、以下列番号に対応して、計8列の符号列が構成されている。

【0020】

ここで、各列番号に対応する値は、行番号に対して、各々の列番号の同一桁のbitどうしを掛け合わせて、その結果を排他的論理和した値と等しいことが分かる。

このことを具体的に説明する為に、行番号「001」に関して、列番号「000」に対応する値の算出方法の説明図を図3（a）に示す。尚、行番号「001」の0bitの桁（最下位bit、LSB）は、「1」であり、1bitの桁と、2bitの桁（最上位bit、MSB）は、「0」である。また、行番号「000」は、0～2bitの桁が、全て「0」である。

図3（a）においては、上述したように、行番号と列番号との同一桁のbitどうしを掛け合わせ、その掛け合わせた結果を排他的論理和することによって、行番号「001」に関して、列番号「000」に対応する値「0」を算出している。

【0021】

同様に、行番号「001」に関して、列番号「001」に対応する値の算出方法の説明図を図3（b）に示す。図3（b）においても、行番号と列番号との同一桁のbitどうしを掛け合わせ、その掛け合わせた結果を排他的論理和することによって、行番号「001」に関して、列番号「001」に対応する値「1」を算出している。

よって、行番号が3bit幅である場合、一般的に、行番号「abc」に関して、列番号「def」に対応する値「X」は、図3（c）に示すように求められ

る。

更に、 k の値が変わって、行番号が k bit 幅になっても、同様に行番号と列番号との同一桁の b i t どうしを掛け合わせ、その掛け合わせた結果を排他的論理和することによって、直交符号の各列の値を求めることができる。

【0022】

よって、アダマール行列の行ベクトルである直交符号は、行番号と列番号との同一桁の b i t どうしを掛け合わせる論理積と、この論理積の出力を排他的論理和する排他的論理和とによって求められる。即ち、この演算方法を利用した直交符号発生回路では、従来の直交符号発生回路にあった「符号番号に対応する直交符号が記憶されているROM部」の代わりに、論理積と排他的論理和との組み合わせにより直交符号が得られるので、直交符号発生回路の回路規模が削減される。

【0023】

[第1実施形態]

具体的な直交符号発生回路の構成について対応する図を参照しながら説明する。

図4は、本実施形態における直交符号発生回路の構成図である。

図4に示すように、直交符号発生回路10は、カウンタ回路部12と、直交符号の組み合わせ回路部14と、コントロール回路部16とから構成され、組み合わせ回路部14は、論理積14aと排他的論理和14bとから成る。更に、論理積14aは、各桁の b i t どうしを掛け合わせる論理積群から成り、0 bit 目の掛け合わせを行う論理積14a1、1 bit 目の掛け合わせを行う論理積14a2から、 n bit 目の掛け合わせを行う論理積14anまでを有している。排他的論理和14bは、これら論理積14の出力を排他的論理和する排他的論理和14b1を有している。

【0024】

カウンタ回路部12は、符号発生開始信号STが入力されると、基準クロックCKに基づいて符号列位置信号であるところの列番号を出力開始するカウンタ回路である。また、カウンタ回路部12は、初期位相設定信号INIが設定されて

いと、符号発生開始信号 S T が入力されてから初期位相設定信号 I N I をロードし、初期位相設定信号 I N I で設定された初期位相設定値をカウンタ回路部 1 2 の初期位相とし、この初期位相から最大値まで昇順でカウントを開始する。

【 0 0 2 5 】

例えば、カウンタ出力幅が 2 b i t であり、初期位相設定信号 I N I が初期位相「 0 0 」に対応した信号に設定された状態で、符号発生開始信号 S T が入力されると、基準クロック C K に伴って、カウンタ回路部 1 2 は、「 0 0 」→「 0 1 」→「 1 0 」→「 1 1 」というように、最大値まで昇順にカウンタ出力が行われる。尚、カウンタ出力は、各 b i t が平行に出力される。

【 0 0 2 6 】

コントロール回路部 1 6 は、アダマール行列の行番号（符号番号）を指定する符号指定信号 C N o と、コントロール回路部 1 6 のデコード出力をアダマール行列用、或いは、階層化直交符号用に切り替える為の切替信号 C H G と、直交符号の符号長を指定する符号長指定信号 L N G とが入力される。

符号指定信号 C N o は、例えば、出力幅が 2 b i t であり、行番号（符号番号）として「 0 0 」が指定された場合は、コントロール回路部 1 6 のデコード出力の 0 b i t 目、1 b i t 目共に「 0 」が出力される。

【 0 0 2 7 】

また、切替信号 C H G によって、アダマール行列に対応するデコード出力に切り替えられた時は、例えば、符号指定信号 C N o として、行番号（符号番号）「 0 1 」が入力されると、デコード出力の 0 b i t 目は「 1 」、1 b i t 目は「 0 」が、コントロール回路部 1 6 から出力される。

一方、切替信号 C H G によって、階層化直交符号に対応するデコード出力に切り替えられた時は、例えば、符号指定信号 C N o として、行番号「 0 1 」が入力されると、デコード出力の 0 b i t 目は「 0 」、1 b i t 目は「 1 」が、コントロール回路部 1 6 から出力される。アダマール行列の場合と異なるのは、0 b i t 目と 1 b i t 目が入れ替わって、デコード出力されることである。

【 0 0 2 8 】

ここで、階層化直交符号について図 5 を参照して説明する。

図 5 は、階層化直交符号を説明する為の説明図である。階層化直交符号によって、アダマール行列と同様に直交符号を得ることができる。また、直交符号 C_0 (0) = 0 であり、図 5 の最下の一般式で示すように展開される。尚、 n は 0 以上の整数である。

しかし、4 行 4 列以上になった場合に、アダマール行列とは異なった行列となる。階層化直交符号とアダマール行列との違いについて図 6 を参照して説明する。

図 6 は、階層化直交符号とアダマール行列との比較を示す説明図であり、図 6 (a) は、行番号の比較を示す図、図 6 (b) は、行番号の $b i t$ 変換を示す図である。

【 0 0 2 9 】

図 6 (a) に示す行列は、階層化直交符号の 4 行 4 列の行列である。行列の上部には列番号を、行列の右側には行番号を付している。列番号、行番号共に、2 $b i t$ 幅の 2 進数であり、「0 0、0 1、1 0、1 1」で示している。

ここで、行番号「0 1」の直交符号 C_2 (1) に注目すると、この直交符号は、アダマール行列 H_2 の行番号「1 0」の直交符号と等しい。また、行番号「1 0」の直交符号 C_2 (2) に注目すると、この直交符号は、アダマール行列 H_2 の行番号「0 1」の直交符号と等しい事が分かる (図 1 (c) 参照)。

【 0 0 3 0 】

よって、アダマール行列における行番号の 0 $b i t$ 目と 1 $b i t$ 目を入れ替えると、階層化直交符号における行番号での直交符号と等しくなる。更に、行番号の $b i t$ 幅を広げて 4 $b i t$ 幅とした場合の $b i t$ の入れ替えの説明を図 6 (b) に示す。

図 6 (b) において、上段は、アダマール行列の行番号の $b i t$ 列であり、数字は、各 $b i t$ 桁を示している。下段は、階層化直交符号の行番号の $b i t$ 列であり、同様に数字は、各 $b i t$ 桁を示している。上段から下段への矢印は、アダマール行列から階層化直交符号への変換を示しており、最上位から最下位の $b i t$ が対称的に逆になっている。例えば、アダマール行列の行番号の 0 $b i t$ 目は、階層化直交符号の 3 $b i t$ 目になり、アダマール行列の行番号の 3 $b i t$ 目は

、階層化直交符号の 0 b i t 目になっている。

【 0 0 3 1 】

この様に、アダマール行列の行番号の最上位 b i t から最下位 b i t を対称的に逆に並べ替えることによって、階層化直交符号の行番号を指定することができる。上記切替信号 C H G は、この並び替えを、アダマール行列用、或いは、階層化直交符号用に替えることを指定する為の信号である。

【 0 0 3 2 】

次に、コントロール回路部 1 6 の符号長指定信号 L N G について説明する。符号長指定信号 L N G は、アダマール行列の最大符号長以下の符号長を指定する為の信号であり、符号長指定信号 L N G を設定することによって、指定された符号長に対応するデコード出力が出力される。

例えば、行番号（符号番号）を 3 b i t 幅から 2 b i t 幅にする場合を図 7 を参照して説明する。

【 0 0 3 3 】

図 7 は、符号長指定を説明する為の説明図である。

アダマール行列 H_3 は、行番号（符号番号）が、3 b i t 幅の 2 進数で示されている。ここで、符号長指定信号 L N G によって、2 b i t 幅（4 サイクル）のデコード出力にする指定が行われると、コントロール回路部 1 6 は、上位 b i t（3 b i t 目）を切り捨てて、下位の 0、1 b i t のみをデコード出力として出力する。例えば、この場合、符号指定信号 C N o として行番号「0 0 1」が入力されても、下位の 0、1 b i t の「0 1」のみをデコード出力として出力するので、 $k = 2$ のアダマール行列 H_2 の場合と同等な、直交符号が得られる。

以上が直交符号発生回路 1 0 の構成についての説明である。

【 0 0 3 4 】

次に、上述した構成の直交符号発生回路 1 0 の各種動作について以下に説明する。

[基本動作（アダマール行列の直交符号の出力）]

直交符号発生回路 1 0 は、カウンタ回路部 1 2 のカウンタ出力と、コントロール回路部 1 6 のデコード出力とを、組み合わせ回路部 1 4 による組み合わせ処理

によって、直交符号をシリアルデータとして出力する。よって、組み合わせ回路 1 4 の動作について、図 8 を参照して説明する。

図 8 は、組み合わせ回路の動作を示すタイムチャートである。

ここで、説明のために、カウンタ回路部 1 2 のカウンタ出力の 0 b i t 目をカウンタ出力 A、同じくカウンタ出力の 1 b i t 目をカウンタ出力 B とし、次に、コントロール回路部 1 6 のデコード出力の 0 b i t 目をデコード出力 C、同じくコントロール回路部 1 6 のデコード出力の 1 b i t 目をデコード出力 D と表す。そして、0 b i t 目の掛け合わせを行う論理積 1 4 a 1 の出力を積出力 E、1 b i t 目の掛け合わせを行う論理積 1 4 a 2 の出力を積出力 F とし、これら論理積の出力を排他的論理和する排他的論地和 1 4 b 1 の出力をシリアル出力 G と表す。

【 0 0 3 5 】

尚、この基本動作を説明する前提として、カウンタ回路部 1 2 への初期位相設定信号 I N I は、カウンタ出力幅が 2 b i t であり、初期位相設定信号 I N I が初期位相「0 0」に対応した信号に設定された状態とする。更に、コントロール回路部 1 6 への符号指定信号 C N o は、出力幅が 2 b i t であり、行番号（符号番号）として「0 0」が指定され、符号発生開始信号 S T の入力に伴って、順次「0 1、1 0、1 1」に変化する。また、切替信号 C H G は、アダマール行列用に切り替えられており、符号長指定信号 L N G は、2 b i t 幅のデコード出力に指定されている。

また、更に、論理積 1 4 a 1、論理積 1 4 a 2 は共に A N D であり、排他的論地和 1 4 b 1 は、E X - O R である。

【 0 0 3 6 】

上述した設定、構成において、タイムチャートを見ると、先ず、符号発生開始信号 S T がカウンタ回路部 1 2 に入力されると、基準クロック C K に基づいて列番号「0 0、0 1、1 0、1 1」と昇順でカウントを開始する。よって、カウンタ出力 A は、「0、1、0、1」と変化し、カウンタ出力 B は、「0、0、1、1」と変化する。

そして、最初の符号発生開始信号 S T の時は、デコード出力は「0 0」であり

、符号発生開始信号 S T の入力毎に、デコード出力は、「0 1、1 0、1 1」となるので、デコード出力 C は、「0、1、0、1」と変化し、デコード出力 D は、「0、0、1、1」となる。

【0 0 3 7】

そして、積出力 E、積出力 F を経て、最終的なシリアル出力 G は、最初の符号発生開始信号 S T の時は、「0 0 0 0」、次の符号発生開始信号 S T の時は、「0 1 0 1」、次の符号発生開始信号 S T の時は、「0 0 1 1」、そしてその次の符号発生開始信号 S T の時は、「0 1 1 0」となる。このシリアル出力 G を見ると、最初の符号発生開始信号 S T の時は、行番号「0 0」の直交符号そのものであり、次は、行番号「0 1」の直交符号であり、次は、行番号「1 0」の直交符号であり、最後は、行番号「1 1」の直交符号と同一である事が分かる（図 1（c）参照）。

【0 0 3 8】

よって、直交符号発生回路 1 0 において直交符号を記憶する為の従来の R O M 部が省略できるので、直交符号発生回路 1 0 の回路規模を小規模にすることができ。更に、直交符号の符号番号が大きくなっても、それに伴ってデコード出力を大きくすればよく、従来のように R O M 部を増やす必要が無いので、回路規模の増大が防止できる。

【0 0 3 9】

また、上記符号指定信号 C N o は、説明のため符号発生開始信号 S T の入力に伴って順次変化したが、例えば、直交符号「0 1 0 1」のみの出力を得たい場合は、「0 1」のまま設定しておけばよい。この場合、カウンタ回路部 1 2 に符号発生開始信号 S T が入力されると、直交符号「0 1 0 1」が出力される。

【0 0 4 0】

また、回路規模をより小さくするために、上記論理積 1 4 a を A N D に、排他的論理和 1 4 b 1 を E X - O R にしたが、排他的論理和 1 4 b 1 のみを E X - N O R にすれば、反転した直交符号も得ることができる。更に、組み合わせ回路部 1 4 内の論理回路のその他の組み合わせによっても、同様な又は反転したシリアル出力 G を得ることもできる。

【0041】

[階層化直交符号の出力]

次に、階層化直交符号の符号列として定義される直交符号の出力について示す。

上記通常動作と異なる点は、切替信号CHGが、階層化直交符号用の信号に切り替えられていることである。この切替信号CHGにより、コントロール回路部16では、アダマール行列の行番号の最上位bitから最下位bitを対称的に逆に並べ替えることによって、階層化直交符号の行番号を指定している。

【0042】

この場合、最終的なシリアル出力Gは、最初の符号発生開始信号STの時は、「0000」、次の符号発生開始信号STの時は、「0011」、次の符号発生開始信号STの時は、「0101」、そしてその次の符号発生開始信号STの時は、「0110」となる。このシリアル出力Gを見ると、最初の符号発生開始信号STの時は、階層化直交符号の行番号「00」の直交符号 $C_2(0)$ そのものであり、次は、階層化直交符号の行番号「01」の直交符号 $C_2(1)$ であり、次は、階層化直交符号の行番号「10」の直交符号 $C_2(2)$ であり、最後は、階層化直交符号の行番号「11」の直交符号 $C_2(3)$ と同一である（図6参照）。

【0043】

よって、この場合、アダマール行列の符号列として定義される直交符号を発生させる直交符号発生回路10を用いて、行番号（符号指定信号）の上位ビットから下位ビットを対称的に置き換えることによって、階層化直交符号の符号列として定義される直交符号を発生させることが可能となる。

【0044】

尚、この場合は、切替信号CHGによって、アダマール行列、或いは、階層化直交符号による直交符号を切り替えているが、切替信号CHGによる切替をせずに、最初から、階層化直交符号の直交符号の出力のみを得るように、コントロール回路部16のデコード出力を出力するようにしても良い。

【0045】

〔符号長指定〕

次に、符号長を指定した場合のシリアル出力Gについて示す。

上記〔通常動作〕と異なる点は、符号長指定信号LNGによって、アダマール行列の最大符号長以下の符号長が指定されていることである。例えば、1bit幅（2サイクル）のデコード出力にする指定が行われると、コントロール回路部16は、0bit目のみをデコード出力として出力する。尚、この場合、カウンタ回路部12は、符号発生開始信号STが入力されると、「0、1」というように、符号列位置信号であるところの列番号の最大値まで昇順にカウンタ出力が行われる。

【0046】

この場合、シリアル出力Gは、「0001」となる。これは、 $k=1$ のアダマール行列 H_1 の場合の直交符号「00」と、直交符号「01」とを示している（図1（b）参照）。

【0047】

よって、符号長の異なる直交符号を発生させる場合においても、回路規模が増大したり、切換の為等の回路構成が複雑になること無く、異なる符号長の直交符号を発生させることが可能となる。

【0048】

〔初期位相指定〕

次に、初期位相を指定した場合のシリアル出力Gについて示す。上記〔通常動作〕と異なる点は、初期位相が「00」でないことである。例えば、初期位相を「01」とすると、シリアル出力Gは、最初の符号発生開始信号STの時に、「000」となる。即ち、直交符号の開始の初期位相が「00」から、次の「01」に変化したので、上記〔通常動作〕時の最初の「0」が無くなり、次の「0」から直交符号が発生している。

【0049】

また、次の符号発生開始信号STが入力されると、シリアル出力Gは、「101」であり、次の符号発生開始信号ST時は、「011」となり、その次の符号発生開始信号ST時は、「110」となる。

よって、カウンタ回路部 1 2 の初期位相を設定することが可能となる。

【 0 0 5 0 】

[第 2 実施形態]

次に、本発明の階層化直交符号の直交符号発生回路を用いた拡散処理装置について、図 9、10 を参照して説明する。

図 9 は、拡散処理装置の構成を示す構成図、図 10 は、 $n = 3$ の時の階層化直交符号を示す図である。

拡散処理装置 30 は、直交符号発生回路 10 と、拡散符号である GOLD 符号を発生する為の GOLD 符号発生回路 32 と、直交符号発生回路 10 から出力された直交符号と GOLD 符号発生回路 32 から出力された GOLD 符号とから排他的論理和をとる排他的論理回路 34 とから構成されている。

【 0 0 5 1 】

尚、本実施形態の直交符号発生回路 10 については、第 1 実施形態の直交符号発生回路 10 と構成が同一であるので、各ユニットについては同一符号を付して説明を省略する。また、コントロール回路部 16 は、階層化直交符号に対応したデコード出力を行うものとする。

【 0 0 5 2 】

図 10 には、図 5 で示した階層化直交符号の行列であって、 $n = 3$ の場合の符号番号に対する直交符号を示す。この場合、拡散処理装置 30 は、符号番号 000 ~ 111 を付した 8 種類の拡散符号を生成する動作を行う。

直交符号発生回路 10 は、1 サイクル、8 つの直交符号で構成された階層化直交符号をシリアル出力し、GOLD 符号発生回路 32 は、GOLD 符号をシリアルに出力する。そして、これらが排他的論理回路 34 に入力されると、排他的論理和されて、Spreading 符号をシリアルに発生させることができる。尚、 n の値が変わっても、拡散処理装置 30 による本動作によって、Spreading 符号をシリアルに出力することができる。

【 0 0 5 3 】

ここで、Spreading 符号について説明する。

スペクトラム通信では、通信チャンネル毎に異なる拡散符号を用いて拡散変調

を行って送信し、受信側では、送信側で用いた拡散符号と同じ符号で逆拡散を行う必要がある。その為、拡散符号の検出、及び、タイミングを初期同期において確立しなければならない。

この初期同期方法として、３段階初期同期方法がある。この３段階初期同期方法は、１段階でチップ同期の確率を行い、２段階で *Spreading* 符号グループの同定、及び、フレームタイミングの確率を行い、３段階で *Spreading* 符号を同定する。この２段階、及び、３段階において、複数種類の拡散符号の中から１種類を同定する。

拡散処理装置 30 は、この３段階初期同期方法における３段階目の処理で用いられる。

【0054】

したがって、拡散処理装置 30 は、直交符号発生回路 10 とわずかな論理回路（排他的論理回路 34）によって、階層化直交符号を用いた複数種の拡散符号をシリアルに生成することを可能とし、３段階処理で行う *Spreading* 符号の同定回路の小規模化を図ることができる。

尚、直交符号発生回路 10 は、拡散処理装置 30 と同様に、復調処理装置、同期処理装置などに組み込まれても、各々の装置の回路規模の小規模化を図ることができる。

【0055】

〔第 3 実施形態〕

次に、本発明の階層化直交符号の直交符号発生回路を用いたスペクトラム拡散信号の受信装置について、図 11 を参照して説明する。

図 11 は、スペクトラム拡散信号の受信装置の構成を示す構成図である。

受信装置 50 は、受信アンテナ 52 と、受信アンテナ 52 で受信された受信信号を所定の周波数でフィルタリング、及び、増幅を行う高周波信号処理部 54 と、高調波信号処理部から出力されたアナログ信号をデジタル信号に変換する A/D 変換器 56 と、受信信号を復調する復調処理部 58 と、復調された受信信号を復号する復号処理部 60 と、復号された受信信号を音声に変換する CODEC 部 62 と、同期獲得を行うための同期処理部 64 と、所定のユニットに基準クロ

ックCKを供給するクロック発生部66と、所定のユニットの処理タイミングを制御するタイミングコントロール部68と、拡散符号発生回路70とから構成されている。

【0056】

また、拡散符号発生回路70は、M系列発生部72と、演算処理部74と、直交符号発生回路10とによって構成されている。尚、直交符号発生回路10は、第1実施形態の直交符号発生回路10と構成が同一であるので、各ユニットについては同一符号を付している。

【0057】

同期処理部64には、A/D変換器56から拡散変調されたデジタル信号から成る受信ベースバンド信号が与えられ、更に、クロック発生部66から基準クロックCKが印加される。そして、同期処理部64では、A/D変換器56から与えられる受信ベースバンド信号の逆拡散演算が行われ、同期獲得した結果が復調処理部58に出力される。

そして、復調処理部58では、同期処理部64から得られた同期獲得の結果を基に受信信号のデータ復調を行い、復号処理部60にデータを出力する。尚、この時、タイミングコントロール部68は、逆拡散を行うタイミング等の制御を行っている。

【0058】

また、拡散符号発生回路70から、同期処理部64と復調処理部58とに拡散符号が与えられることによって、データ系列の判定において、直交符号による相関検出が利用される。

このように、本実施形態の直交符号発生回路10を有したスペクトラム拡散信号の受信装置50では、小規模な回路で拡散符号をシリアルに生成することが可能であるため、受信装置50における回路規模も小規模化することができる。

【0059】

また、更に、第1実施形態の直交符号発生回路10を有する拡散処理部、この拡散処理部を有するスペクトラム拡散信号の送信装置、この送信装置と上記受信装置50とを有する基地局装置や移動端末装置、この基地局装置と移動端末装置

とを有する移動体通信システム等も、本実施形態と同様に、回路規模（装置規模）の小規模化を図ることができる。

【0060】

【発明の効果】

この直交符号発生回路によれば、カウンタ回路部のパラレル出力とコントロール回路部のデコード出力とを組み合わせ回路部によって、直交符号のシリアルデータを出力している。よって、直交符号を記憶する為の従来のROM部が省略できるので、直交符号発生回路の回路規模を小規模化することができる。

また、直交符号の符号番号が大きくなっても、それに伴ってデコード出力を大きくすればよく、従来のようにROM部を増やす必要が無いので、回路規模の増大が防止できる。

【図面の簡単な説明】

【図1】

アダマール行列 H_k を説明する為の説明図であり、

図1（a）は、 $k=0$ のアダマール行列を示す式、図1（b）は、 $k=1$ のアダマール行列を示す式、図1（c）は、 $k=2$ のアダマール行列を示す式、図1（d）は、 $k=n$ のアダマール行列を示す一般式である。

【図2】

アダマール行列 H_3 を用いた説明図である。

【図3】

行番号に関して列番号に対する値の算出方法を説明する説明図であり、

図3（a）は、行番号「001」に関して、列番号「000」に対応する値の算出方法の説明図、図3（b）は、列番号「001」に対応する値の算出方法の説明図、図3（c）は、行番号「abc」に関して、列番号「def」に対応する値「X」の算出方法の説明図である。

【図4】

第1実施形態の直交符号発生回路の構成図である。

【図5】

階層化直交符号を説明する為の説明図である。

【図 6】

階層化直交符号とアダマール行列との比較を示す説明図であり、図 6 (a) は、行番号の比較を示す図、図 6 (b) は、行番号の b i t 変換を示す図である。

【図 7】

符号長指定を説明する為の説明図である。

【図 8】

組み合わせ回路の動作を示すタイムチャートである。

【図 9】

拡散処理装置の構成を示す構成図である。

【図 1 0】

n = 3 の時の階層化直交符号を示す図である。

【図 1 1】

スペクトラム拡散信号の受信装置の構成を示す構成図である。

【図 1 2】

従来の直交符号発生回路を示す構成図である。

【符号の説明】

- 1 0 直交符号発生回路
- 1 2 カウンタ回路部
- 1 4 組み合わせ回路部
- 1 4 a 論理積
- 1 4 b 排他的論理和
- 1 6 コントロール回路部
- 3 0 拡散処理装置
- 5 0 受信装置
- C K 基準クロック
- I N I 初期位相設定信号
- S T 符号発生開始信号
- C N o 記符号指定信号
- C H G 切替信号

L N G 符号長指定信号

【書類名】 図面

【図 1】

$$H_0 = 0 \quad \dots (a)$$

$$H_1 = \begin{bmatrix} H_0 & H_0 \\ H_0 & \overline{H_0} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix} \quad \dots (b)$$

$$H_2 = \begin{bmatrix} H_1 & H_1 \\ H_1 & \overline{H_1} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix} \quad \dots (c)$$

⋮

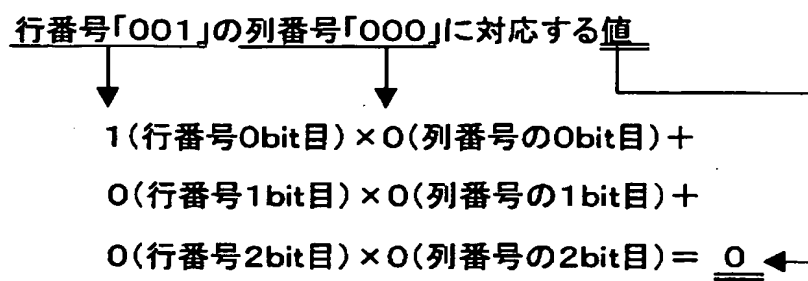
$$H_n = \begin{bmatrix} H_{n-1} & H_{n-1} \\ H_{n-1} & \overline{H_{n-1}} \end{bmatrix} \quad \dots (d)$$

【図 2】

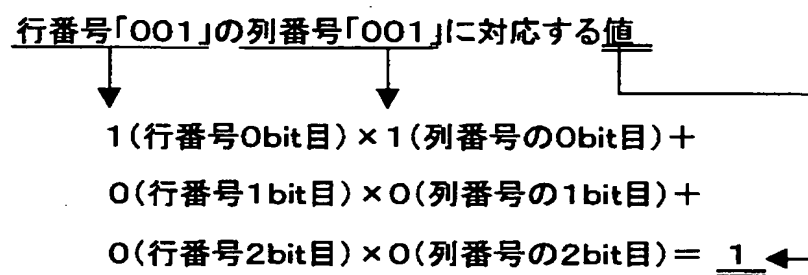
$$H_3 = \begin{bmatrix} H_2 & H_2 \\ H_2 & \overline{H_2} \end{bmatrix}$$

列番号								行番号
000	001	010	011	100	101	110	111	
0	0	0	0	0	0	0	0	000
0	1	0	1	0	1	0	1	001
0	0	1	1	0	0	1	1	010
0	1	1	0	0	1	1	0	011
0	0	0	0	1	1	1	1	100
0	1	0	1	1	0	1	0	101
0	0	1	1	1	1	0	0	110
0	1	1	0	1	0	0	1	111

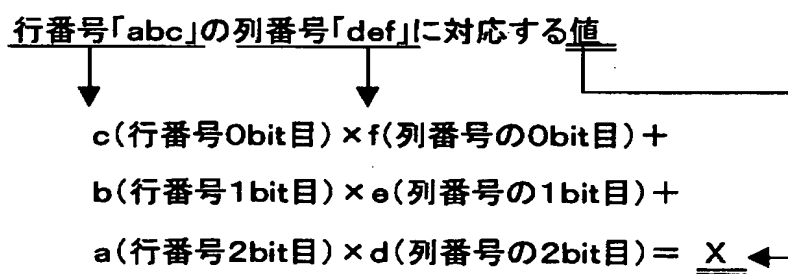
【図 3】



(a)

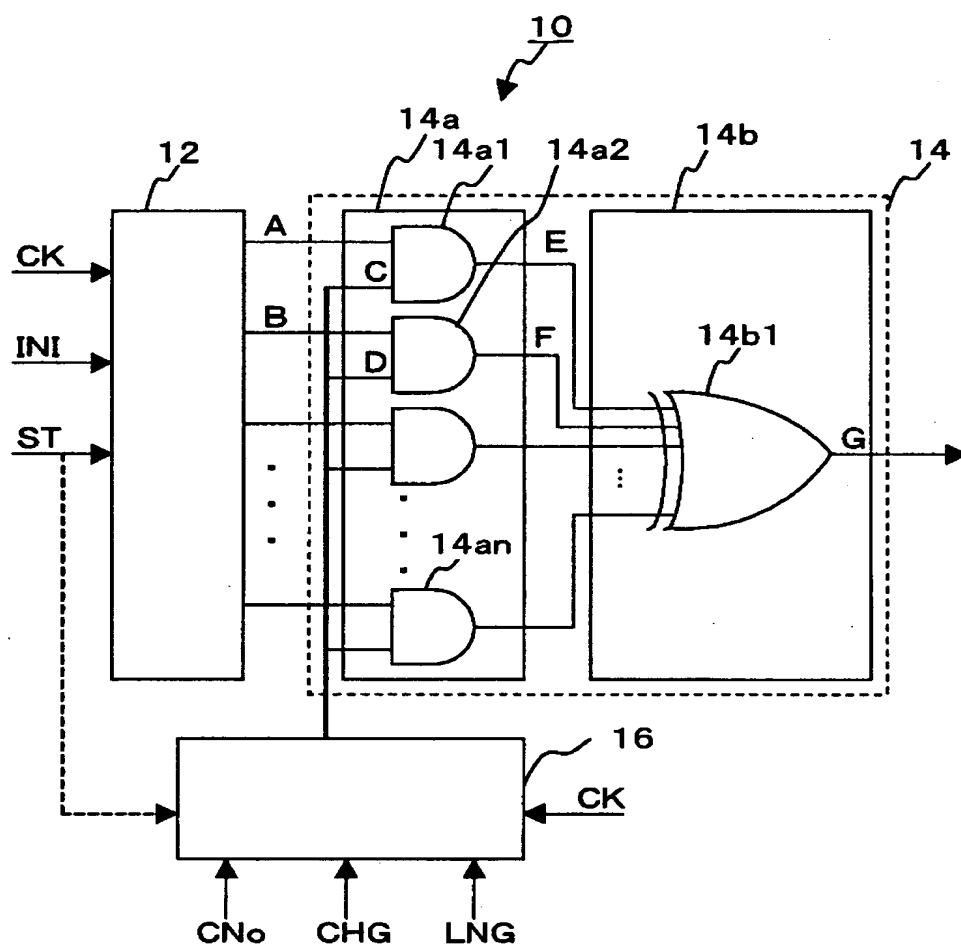


(b)



(c)

【図4】



【図 5】

$$C_0(0) = 0$$

$$\begin{bmatrix} C_1(0) \\ C_1(1) \end{bmatrix} = \begin{bmatrix} C_0(0) & \overline{C_0(0)} \\ C_0(0) & \overline{C_0(0)} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix}$$

$$\begin{bmatrix} C_2(0) \\ C_2(1) \\ C_2(2) \\ C_2(3) \end{bmatrix} = \begin{bmatrix} C_1(0) & \overline{C_1(0)} \\ C_1(0) & \overline{C_0(0)} \\ C_1(1) & \overline{C_1(1)} \\ C_1(1) & \overline{C_1(1)} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix}$$

⋮

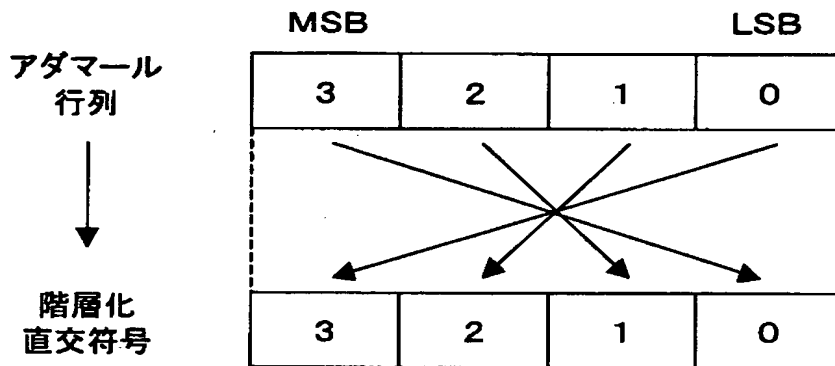
$$\begin{bmatrix} C_{n+1}(0) \\ C_{n+1}(1) \\ C_{n+1}(2) \\ C_{n+1}(3) \\ C_{n+1}(4) \\ \vdots \\ C_{n+1}(2^{n+1}-2) \\ C_{n+1}(2^{n+1}-1) \end{bmatrix} = \begin{bmatrix} C_n(0) & \overline{C_n(0)} \\ C_n(0) & \overline{C_n(0)} \\ C_n(1) & \overline{C_n(1)} \\ C_n(1) & \overline{C_n(1)} \\ C_n(2) & \overline{C_n(2)} \\ \vdots & \vdots \\ C_n(2^n-1) & \overline{C_n(2^n-1)} \\ C_n(2^n-1) & \overline{C_n(2^n-1)} \end{bmatrix}$$

【図 6】

$$\begin{array}{c}
 \begin{bmatrix} C_2(0) \\ C_2(1) \\ C_2(2) \\ C_2(3) \end{bmatrix} = \begin{array}{c} \text{列番号} \\ \begin{matrix} 00 & 01 & 10 & 11 \end{matrix} \\ \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix} \end{array}
 \end{array}$$

階層化直交符号 行番号		アダマール行列 行番号
00	←←	00
01	←←	10
10	←←	01
11	←←	11

(a)

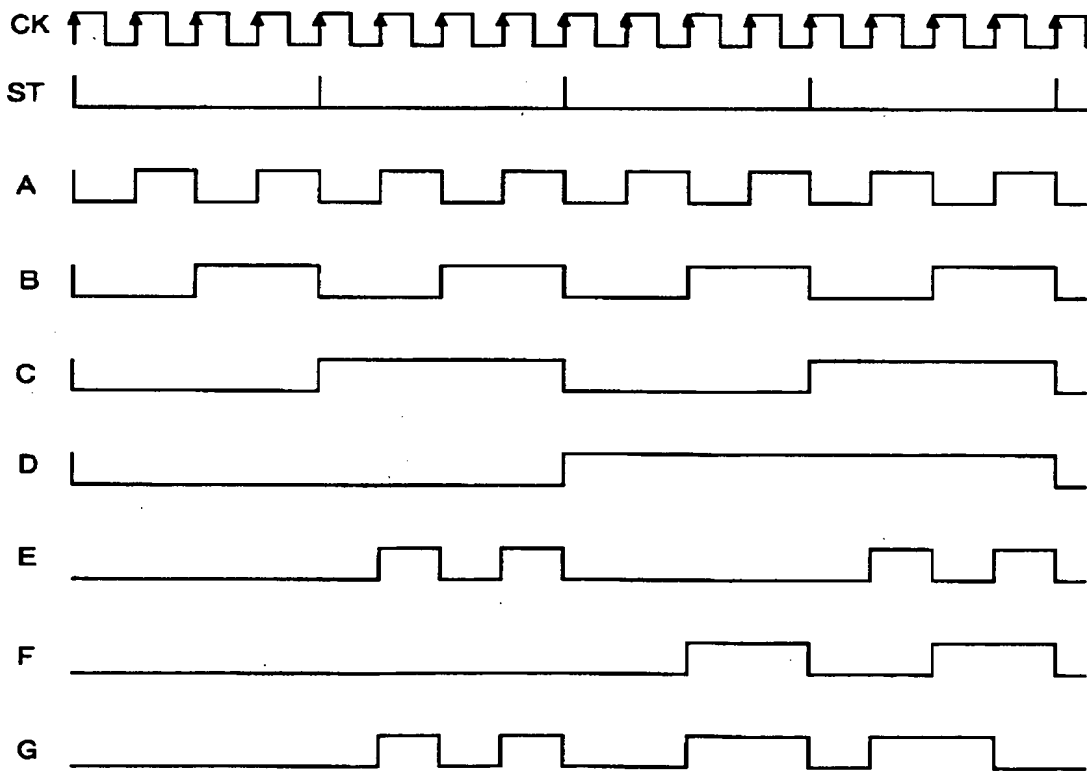


(b)

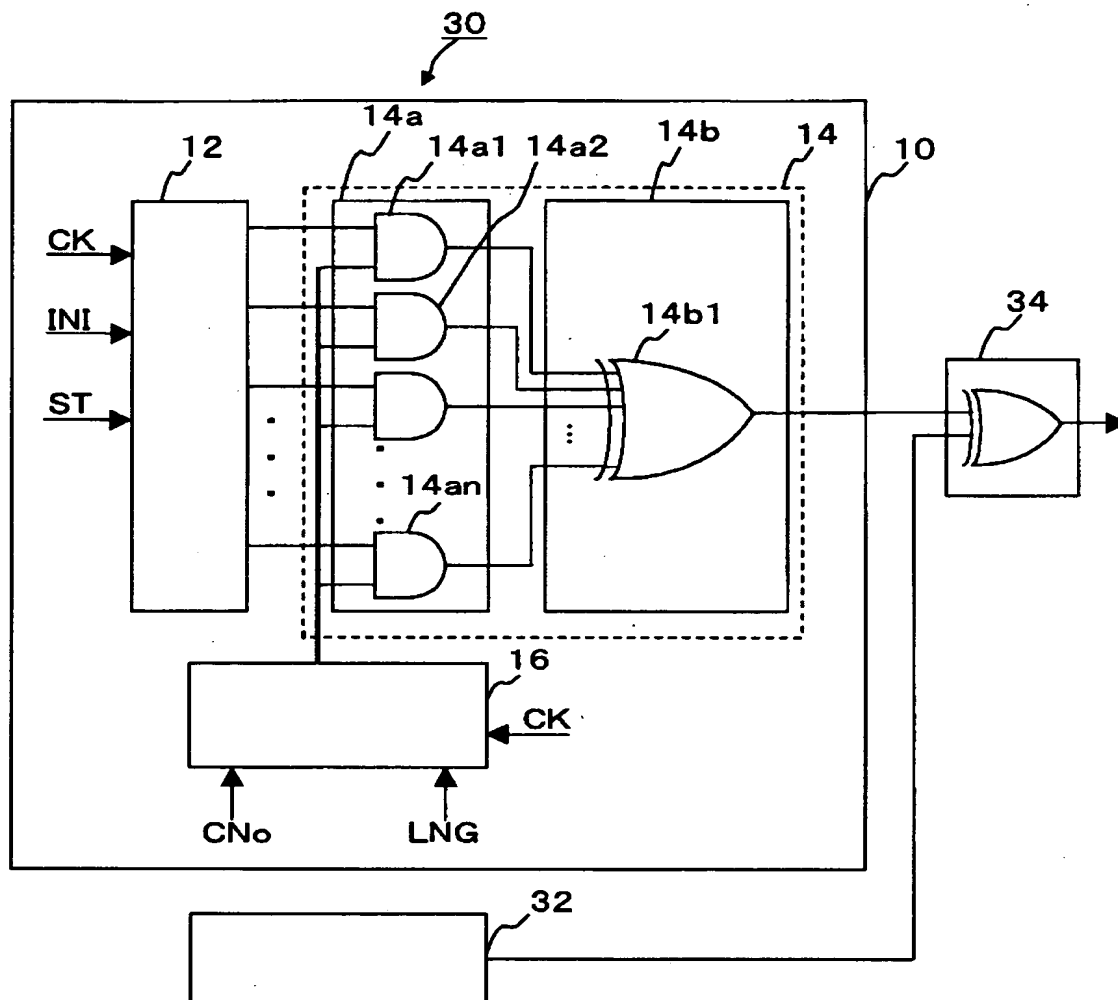
【図 7】

								行番号 (符号番号)
$H_3 =$	0	0	0	0	0	0	0	000
	0	1	0	1	0	1	0	001
	0	0	1	1	0	0	1	010
	0	1	1	0	0	1	1	011
	0	0	0	0	1	1	1	100
	0	1	0	1	1	0	1	101
	0	0	1	1	1	1	0	110
	0	1	1	0	1	0	0	111

【図 8】



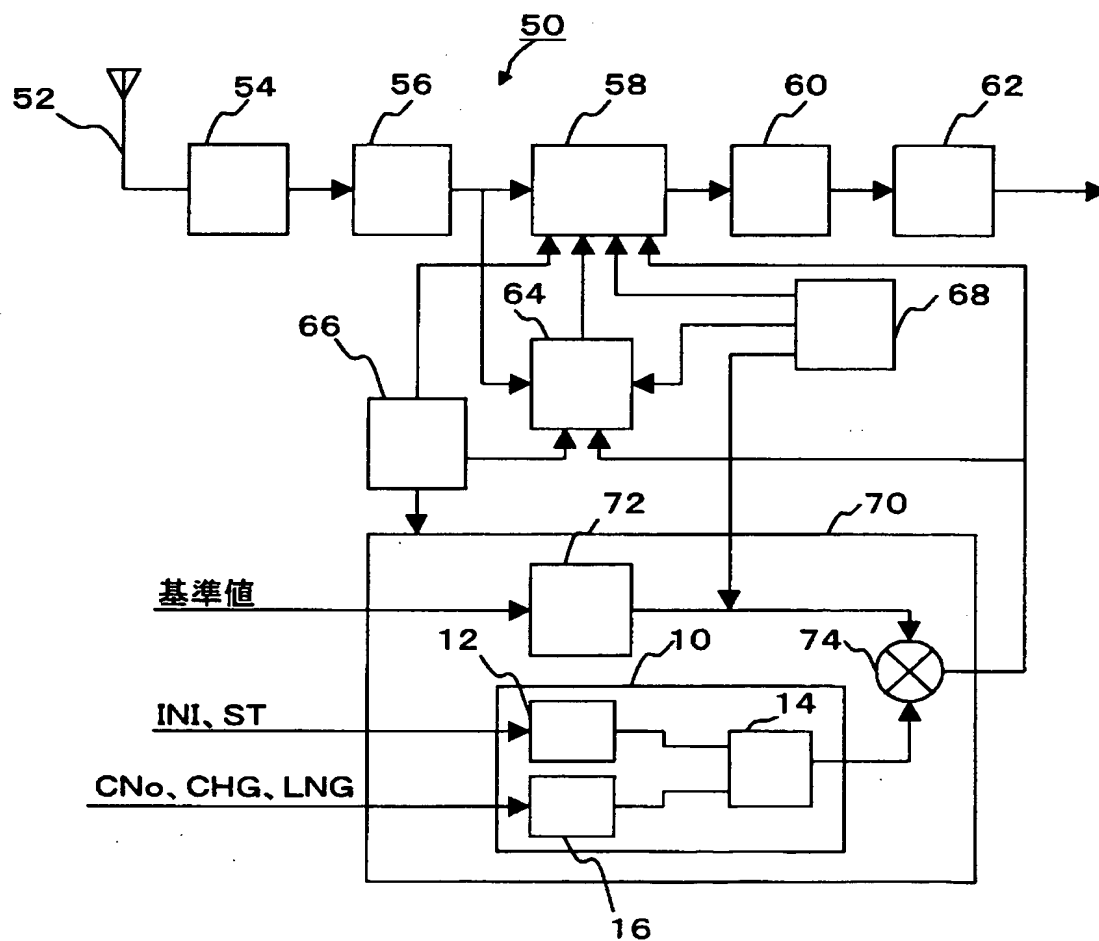
【図 9】



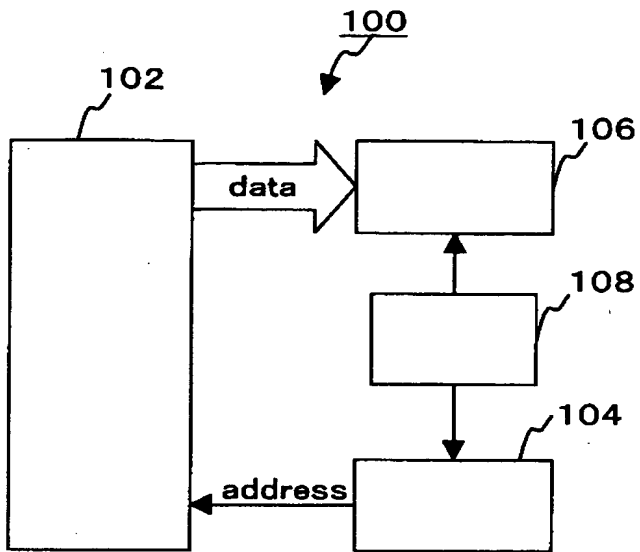
【図10】

									符号番号 (行番号)
$C_3 =$	0	0	0	0	0	0	0	0	000
	0	0	0	0	1	1	1	1	001
	0	0	1	1	0	0	1	1	010
	0	0	1	1	1	1	0	0	011
	0	1	0	1	0	1	0	1	100
	0	1	0	1	1	0	1	0	101
	0	1	1	0	0	1	1	0	110
	0	1	1	0	1	0	0	1	111

【図11】



【図 12】



【書類名】 要約書

【要約】

【課題】 直交符号を発生させる為の回路規模を削減した直交符号発生回路を提供する。

【解決手段】 直交符号発生回路 1 0 は、カウンタ回路部 1 2 と、直交符号の組み合わせ回路部 1 4 と、コントロール回路部 1 6 とから構成され、更に、組み合わせ回路部 1 4 は、論理積 1 4 a と排他的論理和 1 4 b とから構成されている。コントロール回路部 1 6 には、設定された符号指定信号 C N o に基づいてデコード出力が出力され、カウンタ回路 1 2 に、符号発生開始信号 S T が入力されると、カウンタ出力が開始される。デコード出力とカウンタ出力は、組み合わせ回路部 1 4 に入力され、各々対応する出力ビット同士で論理積され、次に排他的論理和されて、直交符号のシリアルデータとして出力される。よって、直交符号を記憶する従来の R O M 部が省略できるので、直交符号発生回路の回路規模を小規模化することができる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社